

PMIC For Multi-Core High-Performance System

AXP155

Datasheet

Revision 1.0

2015.01.07



版本历史

版本	日期	描述
Revision 1.0	2015.01.07	初版

Confidential



版权声明

版权所有，违法必究。

非经本公司书面同意，任何单位或个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式进行传播。任何单位或个人不得删除、修改或移除本文档版权及所有的权利声明。

本公司会不定期对本文档内容进行更新。除非另有说明，1) 本文档不构成任何明示或暗示的担保；2) 本公司不承担任何使用本文档产生的责任；3) 本文档不构成任何明示或暗示的权利授予。

使用者应当承担全部责任去获取实现本文档方案可能需要的第三方授权，本公司对这些第三方授权不承担任何明示或暗示的保证、费用补偿或其他责任。



目录

版本历史	2
版权声明	3
目录	4
1. 概述	7
2. 特性	8
3. 典型应用图	10
4. 管脚图	11
5. 管脚定义	12
6. 功能框图	15
7. 极限参数	16
8. 电气参数	16
9. 操作和控制	20
9.1 主机模式(Master mode)	21
9.2 从机模式(Slave mode)	23
9.3 独立工作模式(Self-work mode)	24
9.4 睡眠与唤醒(Standby & Wakeup)	26
9.5 基准、内部电源及中断(VREF&VINT&IRQ)	28
9.6 多路转换器输出(DCDCs & LDOs)	28



9.7. 串行通信接口(Serial interface).....	31
10. 寄存器.....	32
10.1 寄存器列表	32
10.2 寄存器描述	34
REG 00 : Startup source.....	34
REG 03 : IC type NO.....	34
REG 04-07 : 4 Data Buffers.....	34
REG 10 : Output power on-off control 1.....	34
REG 11 : Output power on-off control 2.....	35
REG 12 : DCDC-A voltage control	36
REG 13 : DCDC-B voltage control.....	36
REG 14 : DCDC-C voltage control.....	37
REG 15 : DCDC-D voltage control	37
REG 16 : DCDC-E voltage control	37
REG 17 : ALDO1 voltage control.....	38
REG 18 : ALDO2 voltage control	38
REG 19 : ALDO3 voltage control.....	38
REG 1A : DCDC mode control 1.....	39
REG 1B : DCDC mode control 2.....	39
REG 1C : DCDC frequency setting.....	40
REG 1D : Output monitor control.....	40
REG 1F : IRQ & PWROK & Off discharge setting	41
REG 20 : BLDO1 voltage control	42
REG 21 : BLDO2 voltage control	42
REG 22 : BLDO3 voltage control	43
REG 23 : BLDO4 voltage control	43
REG 24 : CLDO1 voltage control.....	43
REG 25 : CLDO2 voltage control	44
REG 26 : CLDO3 voltage control	44
REG 31 : Power wakeup ctrl & VOFF setting	44
REG 32 : Power disable & Power down sequence.....	45
REG 35 : Wakeup pin function setting.....	46
REG 36 : POK setting.....	47
REG 3E : Interface mode select.....	错误！未定义书签。
REG 3F : Special control register.....	48

REG 40 : IRQ Enable148

REG 41 : IRQ Enable249

REG 48 : IRQ Status149

REG 49 : IRQ Status250

REG F3 : VREF & Temperature warning level setting50

REG FE : Serial Interface address extension51

REG FF : register address extension.....51

11. 封装图53

Confidential



1. 概述

AXP155是一款应用于5V输入的高集成度电源管理芯片，可以提供多路大电流电源。针对需要高性能的多核系统，AXP155可以组成多相供电系统提供高达7.5A的电流输出。它还可以与具有电池管理功能的电源管理芯片配合工作，为电池供电系统提供完整的电源解决方案。

AXP155提供15路电源输出(包括5路可调输出降压DCDC，10路可调输出LDO)。AXP155内部提供多种保护功能(如输入过压保护、输入欠压保护、过温保护、负载过流保护等)，保证系统安全稳定地工作。AXP155提供一个高速的串行接口，使主控可以便捷地对各路输出电压进行动态调整。

AXP155 采用 7mm x 7mm 56-pin QFN 封装。

AXP155可应用于STB, OTT, Tablet, Smart phone, Computer等领域。



2. 特性

AXP155具有以下特性：

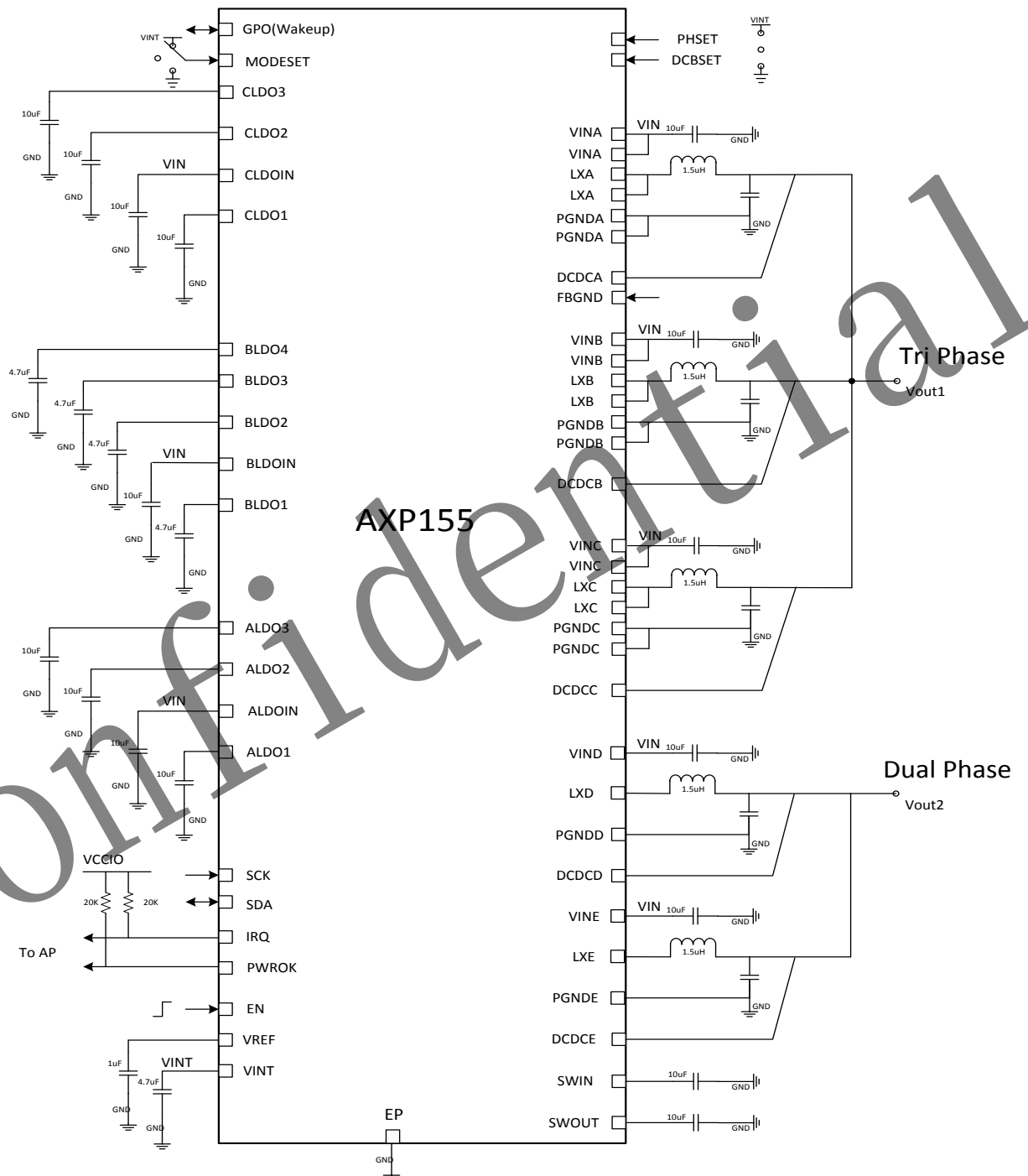
- 5路同步降压转换器(DCDC)：
 - DCDC-A :PFM/PWM两种工作模式 ,0.6~1.1V ,10mV/step ,51steps ;1.12~1.52V ,20mV/step ,21steps ;
驱动能力2.5A ;
 - DCDC-B : PFM/PWM两种工作模式 , 1.0~2.55V , 50mV/step , 32steps , 驱动能力2.5A ;
 - DCDC-C :PFM/PWM两种工作模式 ,0.6~1.1V ,10mV/step ,51steps ;1.12~1.52V ,20mV/step ,21steps ;
驱动能力2.5A ;
 - DCDC-D :PFM/PWM两种工作模式 ,0.6~1.5V ,20mV/step ,46steps ;1.6~3.3V ,100mV/step ,18steps ;
驱动能力1.5A ;
 - DCDC-E : PFM/PWM两种工作模式 , 1.1~3.4V , 100mV/step , 24steps , 驱动能力1.5A ;
- 多相供电功能(Poly-Phase)：
 - DCDC A&B : Dual-phase , 驱动能力5A ;
 - DCDC A&B&C : Tri-phase , 驱动能力7.5A ;
 - DCDC D&E : Dual-phase , 驱动能力3A ;
 - 其它特性：开关频率3MHz , 1.5uH/1uH , 内部软启动功能, DCDC A/C/D 具有DVM功能 ;
- 10路线性稳压器(LDO)：
 - ALDO1 : 0.7~3.3V , 100mV/step , 27steps , 驱动能力300mA, 输入电源是ALDOIN ;



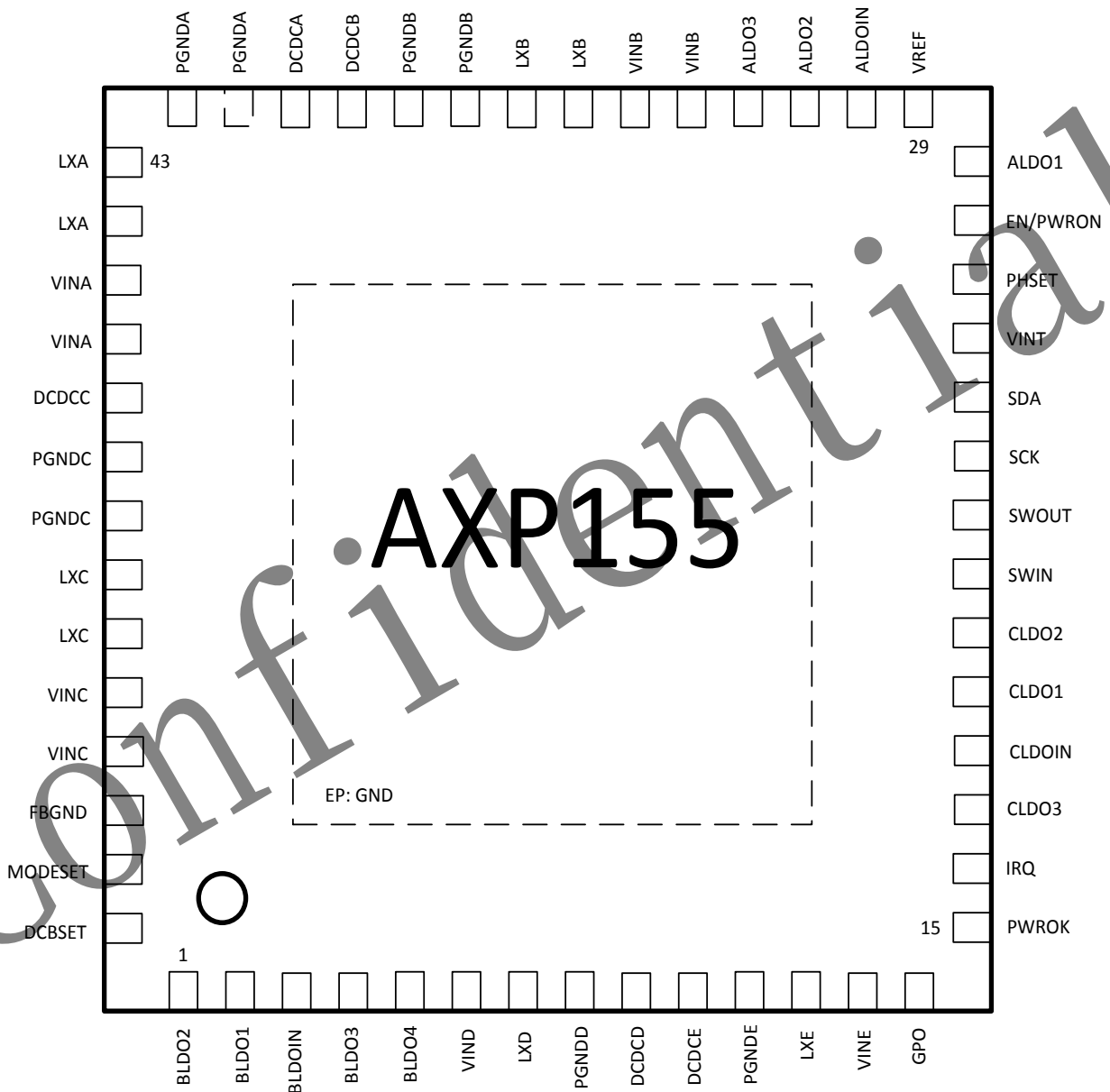
- ALDO2 : 0.7~3.3V , 100mV/step , 27steps ; 驱动能力300mA, 输入电源是ALDOIN ;
- ALDO3 : 0.7~3.3V , 100mV/step , 27steps , 驱动能力300mA, 输入电源是ALDOIN ;
- BLDO1 : 0.7~1.9V , 100mV/step , 13steps , 驱动能力400mA, 输入电源是BLDOIN ;
- BLDO2 : 0.7~1.9V , 100mV/step , 13steps , 驱动能力300mA, 输入电源是BLDOIN ;
- BLDO3 : 0.7~1.9V , 100mV/step , 13steps , 驱动能力200mA, 输入电源是BLDOIN ;
- BLDO4 : 0.7~1.9V , 100mV/step , 13steps , 驱动能力200mA, 输入电源是BLDOIN ;
- CLDO1 : 0.7~3.3V , 100mV/step , 27steps , 驱动能力400mA, 输入电源是CLDOIN ;
- CLDO2 : 0.7~3.4V , 100mV/step , 28steps , 3.6~4.2V , 200mV/step , 4steps , 驱动能力300mA, 输入电源是CLDOIN ;
- CLDO3 : 0.7~3.3V , 100mV/step , 27steps , 驱动能力200mA, 输入电源是CLDOIN ;
- 支持TWSI(Two Wire Serial Interface)协议 , 从机地址为0x6C/0x6D、0x6E/0x6F
- IRQ为开漏输出
- 内部过温保护
- 内部电压监视器 , 监控DCDC A/B/C/D/E输出电压 , 内部输出PWROK(开漏)信号
- 提供开关机键
- 内部开关 : 导通电阻典型值为90mΩ
- 使用 QFN 7x7 , 56Pin 封装



3. 典型应用图



4. 管脚图



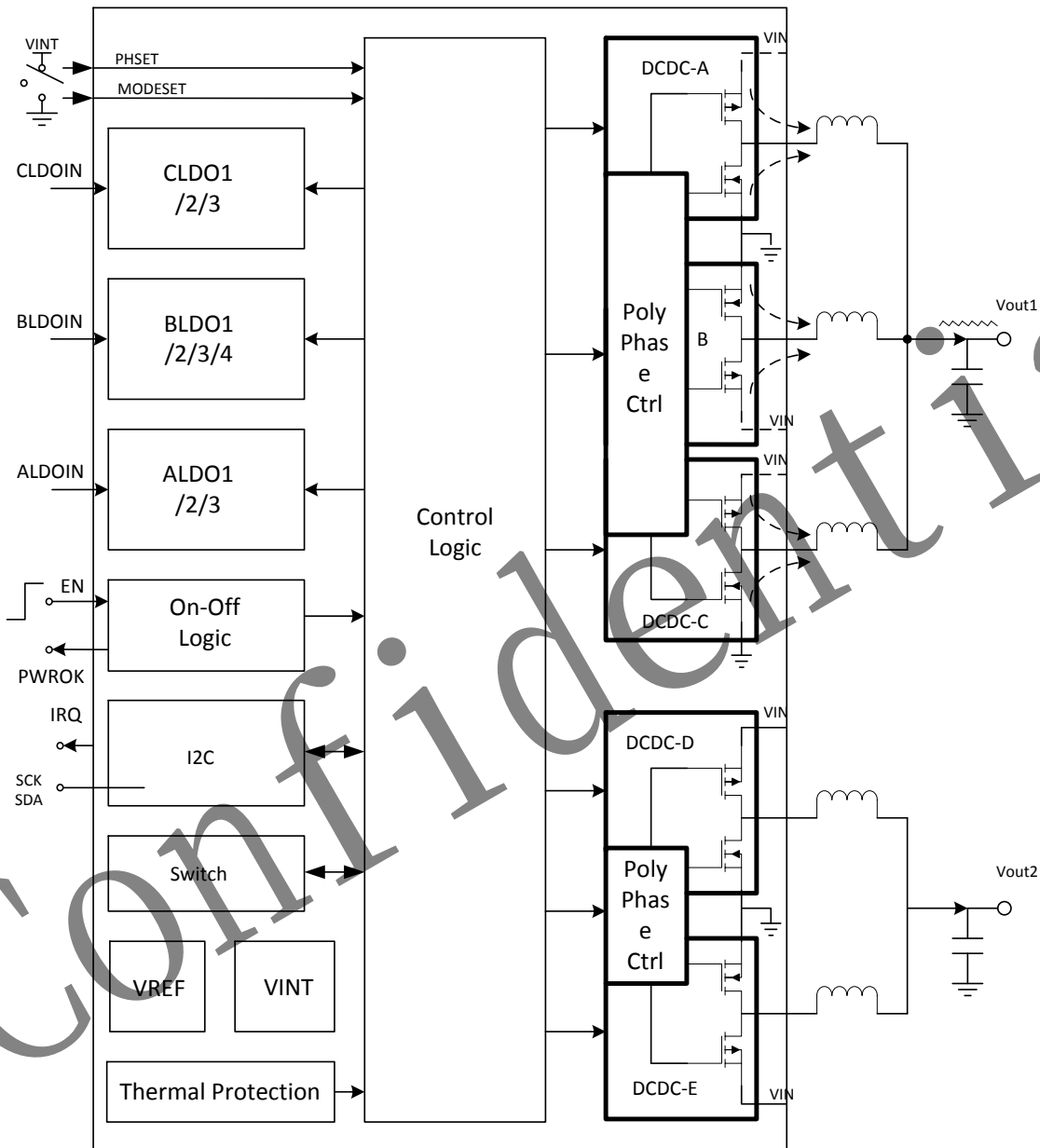
5. 管脚定义

NO.	Pin Name	Type	Condition	Description
1	BLDO2	O		Output pin of BLDO2
2	BLDO1	O		Output pin of BLDO1
3	BLDOIN	PI		BLDOs input source
4	BLDO3	O		Output pin of BLDO3
5	BLDO4	O		Output pin of BLDO4
6	VIND	PI		DCDCD input source
7	LXD	IO		Inductor pin for DCDCD
8	PGNDD	G		NMOS GND for DCDCD
9	DCDCD	I		Feedback pin for DCDCD
10	DCDCE	I		Feedback pin for DCDCE
11	PGNDE	G		NMOS GND for DCDCE
12	LXE	IO		Inductor pin for DCDCE
13	VINE	PI		DCDCE input source
14	GPO	IO	REG35H	GPO or Wakeup pin by REG35
15	PWROK	O		Power good indication output
16	IRQ	O		IRQ output
17	CLDO3	O		Output pin of CLDO3
18	CLDOIN	PI		CLDOs input source

19	CLDO1	O		Output pin of CLDO1
20	CLDO2	O		Output pin of CLDO2
21	SWIN	PI		Switch input source
22	SWOUT	O		Switch Output pin
23	SCK	I		Clock pin for serial interface. Connected to IO power by 2.2kohm resistor while use TWSI.
24	SDA	IO		Data pin for serial interface. Connected to IO power by 2.2kohm resistor while use TWSI.
25	VINT	O		Internal logic power, 1.8V
26	PHSET	I		Set DCDCA/B/C work mode (lonely/Dual-phase/Tri-phase)
27	EN	I		Enable pin for PMIC in master/slave mode. Or PWRON pin in self-work mode.
28	ALDO1	O		Output pin of ALDO1
29	VREF	O		Internal reference voltage
30	ALDOIN	PI		ALDOs input source
31	ALDO2	O		Output pin of ALDO2
32	ALDO3	O		Output pin of ALDO3
33	VINB	PI		DCDCB input source
34				
35	LXB	IO		Inductor pin for DCDCB
36				
37	PGNDB	G		NMOS GND for DCDCB
38				

39	DCDCB	I		Feedback pin for DCDCB
40	DCDCA	I		Feedback plus pin for DCDCA
41	PGNDA	G		NMOS GND for DCDCA
42				
43	LXA	IO		Inductor pin for DCDCA
44				
45	VINA	PI		DCDCA input source
46				
47	DCDCC	I		Feedback pin for DCDCC
48	PGNDC	G		NMOS GND for DCDCC
49				
50	LXC	IO		Inductor pin for DCDCC
52				
52	VINC	PI		DCDCC input source
53				
54	FBGND	I		Feedback minus pin for DCDCA
55	MODESET	I		Set work mode for PMIC. (GND: Slave mode; VINT: Master mode; Floating: Self-work mode)
56	DCBSET	I		Set default output voltage for DCDCB
57	EP	G		Exposed Pad, connected to system GND

6. 功能框图



7. 极限参数

SYMBOL	DESCRIPTION	VALUE	UNITS
VIN	DCDCs/LDOs Input Voltage	-0.3 ~ 6.3	V
Tj	Operating Junction Temperature Range	125	°C
Ta	Operating Temperature Range	-20 ~ 85	°C
Ts	Storage Temperature Range	-40 ~ 150	°C
T _{LEAD}	Maximum Soldering Temperature (at leads , 10sec)	260	°C
V _{ESD}	Maximum ESD stress voltage , Human Body Model	>=2000	V
PD	Internal Power Dissipation	TBD	mW

8. 电气参数

SYMBOL	DESCRIPTION	CONDITIONS	MIN	TYP	MAX	UNITS
VIN						
V _{IN}	Input Voltage		3.0		5.5	V
V _{UVLO}	VIN Under Voltage Lockout		2.6	2.6	3.3	V
Off Mode Current						
I _{BATOFF}	OFF Mode Current	BAT=3.7V		25		μA
Logic						



V _{IL}	Logic Low Input Voltage			0.3		V
V _{IH}	Logic High Input Voltage			1.2		V
TWSI						
V _{CC}	Input Supply Voltage		1.8	3.3		V
Addr	TWSI Slave Address (7 bits)		0x36	0x36	0x37	
f _{SCK}	Clock Operating Frequency			400	1000	kHz
t _f	Clock Data Fall Time	2.2Kohm Pull High		60		ns
t _r	Clock Data Rise Time	2.2Kohm Pull High		100		ns
DCDCs						
f _{OSC}	Oscillator Frequency	Default		3		MHz
DCDCA						
I _{VINA}	Input Current	PFM Mode I _{DCDCAOUT} = 0		50		μA
I _{LIMA}	PMOS Switch Current Limit			3000		mA
I _{DCDCAOUT}	Available Output Current	Single phase		2500		mA
		Dual phase (DCDCA&B)		5000		
		Tri phase (DCDCA&B&C)		7500		
V _{DCDCAOUT}	Output Voltage		0.6	0.9	1.52	V
DCDCB						
I _{VINB}	Input Current	PFM Mode, I _{DCDCBOUT} = 0		40		μA
I _{LIMB}	PMOS Switch Current Limit			3000		mA
I _{DCDCBOUT}	Available Output Current			2500		mA
V _{DCDCBOUT}	Output Voltage	DCBSET is floating	1	1.35	2.55	V
DCDCC						
I _{VINC}	Input Current	PFM Mode, I _{DCDCCOUT} = 0		40		μA
I _{LIMC}	PMOS Switch Current Limit			3000		mA
I _{DCDCCOUT}	Available Output Current			2500		mA
V _{DCDCCOUT}	Output Voltage		0.6	0.9	1.52	V
DCDCD						

I_{VIND}	Input Current	PFM Mode, $I_{DCDCDOUT}=0$		40		μA
I_{LIMD}	PMOS Switch Current Limit			2000		mA
$I_{DCDCDOUT}$	Available Output Current	Single phase		1500		mA
		Dual phase (DCDC D&E)		3000		
$V_{DCDCDOUT}$	Output Voltage		0.6	0.9	3.3	V
DCDCE						
I_{VINE}	Input Current	PFM Mode, $I_{DCDCEOUT}=0$		50		μA
I_{LIME}	Switch Current Limit Per PMOS			2000		mA
$I_{DCDCEOUT}$	Available Output Current			1500		mA
$V_{DCDCEOUT}$	Output Voltage		1.1	1.8	3.4	V
ALDO1						
V_{ALDO1}	Output Voltage	$I_{ALDO1}=1mA$	0.7	3	3.3	V
I_{ALDO1}	Output Current			300		mA
I_Q	Quiescent Current			50		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
e_N	Output Noise, 20Hz-80KHz	$V_{ALDO1}=1.8V$, $I_{ALDO1}=10mA$		40		μV_{RMS}
ALDO2						
V_{ALDO2}	Output Voltage	$I_{ALDO2}=1mA$	0.7		3.3	V
I_{ALDO2}	Output Current			300		mA
I_Q	Quiescent Current			50		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
e_N	Output Noise, 20Hz-80KHz	$V_{ALDO2}=1.8V$, $I_{ALDO2}=10mA$		40		μV_{RMS}
ALDO3						
V_{ALDO3}	Output Voltage	$I_{ALDO3}=1mA$	0.7		3.3	V
I_{ALDO3}	Output Current			300		mA
I_Q	Quiescent Current			50		μA
PSRR	Power Supply Rejection Ratio			TBD		dB

e_N	Output Noise,20Hz-80KHz	$V_{ALDO3}=1.8V$, $I_{ALDO3}=10mA$		40		μV_{RMS}
BLDO1						
V_{BLDO1}	Output Voltage	$I_{BLDO1}=1mA$	0.7	1.8	1.9	V
I_{BLDO1}	Output Current			400		mA
I_Q	Quiescent Current			40		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
BLDO2						
V_{BLDO2}	Output Voltage	$I_{BLDO2}=1mA$	0.7	1.8	1.9	V
I_{BLDO2}	Output Current			200		mA
I_Q	Quiescent Current			40		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
BLDO3						
V_{BLDO3}	Output Voltage	$I_{BLDO3}=1mA$	0.7		1.9	V
I_{BLDO3}	Output Current			200		mA
I_Q	Quiescent Current			40		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
BLDO4						
V_{BLDO4}	Output Voltage	$I_{BLDO4}=1mA$	0.7		1.9	V
I_{BLDO4}	Output Current			100		mA
I_Q	Quiescent Current			40		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
CLDO1						
V_{CLDO1}	Output Voltage	$I_{CLDO1}=1mA$	0.7	3	3.3	V
I_{CLDO1}	Output Current			300		mA
I_Q	Quiescent Current			50		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
e_N	Output Noise,20Hz-80KHz	$V_{CLDO1}=1.8V$, $I_{CLDO1}=10mA$		40		μV_{RMS}
CLDO2						
V_{CLDO2}	Output Voltage	$I_{CLDO2}=1mA$	0.7		4.2	V

I_{CLDO2}	Output Current			300		mA
I_Q	Quiescent Current			50		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
e_N	Output Noise, 20Hz-80KHz	$V_{CLDO2}=1.8V$, $I_{CLDO2}=10mA$		40		μV_{RMS}
CLDO3						
V_{CLDO3}	Output Voltage	$I_{CLDO3}=1mA$	0.7	3	3.3	V
I_{CLDO3}	Output Current			300		mA
I_Q	Quiescent Current			50		μA
PSRR	Power Supply Rejection Ratio			TBD		dB
e_N	Output Noise, 20Hz-80KHz	$V_{CLDO3}=1.8V$, $I_{CLDO3}=10mA$		40		μV_{RMS}
Switch						
Ron	Internal Ideal Resistance	Pin to Pin		90	100	m Ω

9. 操作和控制

PMIC有关机状态(power off)和开机状态(power on)，关机状态下关闭各路输出(VINT除外)，此时芯片总功耗约25 μA 。开机状态下各路输出有效，Serial Interface(TWSI)正常工作，可更改各路输出状态，在空载条件下芯片总功耗约400 μA 。

5路DCDC、ALDO1、BLDO1/2、CLDO1的默认输出电压、启动时序等可定制，以满足各种不同应用需求。其它各路LDO及SW默认不启动。PMIC监控5路DCDC的输出，提供输出过压/欠压保护。

PMIC有一个Switch，内阻典型值为90m Ω ，典型应用场景：从3.3V DCDC电源取电，经过开关后为LCD Bias供电。



PMIC有一个MODESET pin，用于设定芯片处于Master/Slave/Self-Work模式。三种模式下功能区别

如下表：

modeset pin	MODE	EN/PWRON	内部VREF	扩展地址 bit0	PWROK工作方式			
					下拉方式	启动时检测 PWROK pin	下拉Restart (default)	正常关机 4ms delay
VINT	master	EN	ON	0	关机时下拉	N	N	N
GND	slave	EN	OFF	1	异常时下拉	N	N	N
floating	self-work	PWRON	ON	0	关机时下拉	Y	Y	Y

注：

- 1、slave 模式下，VREF关闭并需接受外部输入；
- 2、关机时下拉：在关机或开机过程中下拉PWROK pin，其它时候floating；异常时下拉：芯片一般不下拉PWROK而是保持floating，只在由异常情况导致的关机时才下拉PWROK(直到EN变为低电平或重新开机才恢复为floating)；
- 3、4ms delay是指关机时序中下拉PWROK pin与关闭电源输出之间的延时(可通过REG1F[2] enable)；
- 4、扩展地址：用于通信接口，详见Serial Interface部分。

芯片电源接入时，首先打开VINT，延时8ms后根据MODESET pin状态判断工作模式(power on reset)，并将结果存入REG00[7:6]。判断完成后根据工作模式设定VREF工作状态，然后判断芯片是否开机。

9.1 主机模式(Master mode)

在关机状态下，PWROK保持下拉，如果



1) EN pin电压从低电平变为高电平(电压高于0.6V即判定为高电平)；

则PMIC开机，各路电源输出按照出厂设定的时序启动并输出电源，各路输出启动完成后经过64ms延时放开PWROK下拉。开机后可通过serial interface改变各寄存器值。

正常情况下，各路输出使能有效后电源可以很快上电完成，如32ms 内各路电源还没有上电OK，则表示输出负载异常，PMIC下拉PWROK并自动清除开机信号，等待下一次开机信号触发。

在开机时，芯片可以检测PWROK pin状态来判定上电是否正常。若各路输出使能有效后128ms内PWROK pin都没有被拉高，则表示电源不能正常启动，PMIC自动清除开机信号，等待下一次开机信号触发。在Master Mode下，此功能默认关闭，可由REG32[5]打开。

在开机完成后，PWROK将被外部上拉为高。若PWROK被外部按键或其它原因拉为低，PMIC也不做响应，不进行Restart。在Master Mode下，PMIC的Restart只能通过向控制寄存器REG32[6]写1来实现。

在开机状态下，如果

1)EN pin电压从高电平变为低电平；或

2)向REG32[7]/REG3F[7]写1；或

3)ALDOINGOOD从高变为低(即ALDOIN<V_{OFF}(默认为2.6V)或ALDOIN>5.8V)；或

4)DCDC A/B/C/D/E 输出电压低于设定电压的85%(REG1D[7:3]决定是否打开)；或

5)芯片内部过温，超过warning level 2 (135°C，REG32[1]决定是否打开)；

则启动PMIC关机流程以关闭各路输出(各路输出关闭时序由REG32[3]决定)，各路输出关闭后是否



进行内部discharge，取决于REG1F[3]。注意：上述第1&2种关机源为正常关机，关机时下拉PWROK pin并关闭各路输出，下拉PWROK pin与关闭输出之间默认不进行delay(可通过REG1F[2]打开4ms delay)。上述第3~5种关机源为异常关机，在关机时先下拉PWROK pin，延时4ms后再关闭各路电源输出。

9.2 从机模式(Slave mode)

在关机状态下，PWROK保持floating，如果

1) EN pin电压从低电平变为高电平(电压高于0.6V即判定为高电平)；

则PMIC开机，各路电源输出按照出厂时设定的时序启动并输出电源。如无异常情况各路电源可以正常上电，整个过程中PWROK保持floating。

正常情况下，各路输出使能有效后电源可以很快上电完成，如32ms 内各路电源还没有上电OK，则表示输出负载异常，PMIC下拉PWROK并自动清除开机信号，等待下一次开机信号触发。

在开机时，芯片可以检测PWROK pin状态来判定上电是否正常。若各路输出使能有效后128ms内PWROK pin都没有被拉高，则表示电源不能正常启动，PMIC自动清除开机信号，等待下一次开机信号触发。在Slave Mode下，此功能默认关闭，可由REG32[5]打开。

开机后可通过serial interface改变各寄存器值。在开机完成后，PWROK将被外部上拉为高。若PWROK被外部按键或其它原因拉为低，PMIC不做响应，不进行Restart。在Slave Mode下，PMIC的Restart只能通过向控制寄存器REG32[6]写1来实现。

在开机状态下，如果



- 1) EN pin电压从高电平变为低电平；或
- 2) 向REG32[7]/REG3F[7]写1；或
- 3) ALDOINGOOD从高变为低(即ALDOIN<V_{OFF}(默认为2.6V)或ALDOIN>5.8V)；或
- 4) DCDC A/B/C/D/E 输出电压低于设定电压的85%(REG1D[7:3]决定是否打开)；或
- 5) 芯片内部过温，超过warning level 2 (135°C，REG32[1]决定是否打开)；

则启动PMIC关机流程以关闭各路输出(各路输出关闭时序由REG32[3]决定)，各路输出关闭后是否进行内部discharge，取决于REG1F[3]。注意：上述第1&2种关机源为正常关机，关机不下拉PWROK pin，内部关机信号与关闭各路输出之间默认不进行delay(可通过REG1F[2]打开4ms delay)。上述第3~5种关机源为异常关机，在关机时先下拉PWROK pin，延时4ms后再关闭各路电源输出。

9.3 独立工作模式(Self-work mode)

在Self-Work Mode下，EN/PWRON pin的功能为PWRON，内部上拉到VINT，可在PWRON处连接一个开机按键。

在关机状态下，PWROK保持下拉，如果

- 1)PWRON按键拉低时间超过ONLEVEL；或
- 2)ALDOINGOOD从低电平变为高电平(可定制是否使能)；或
- 3)若REG1F[7]=1，且IRQ为低电平并通过内部16ms de-bounce；

则PMIC开机，各路电源输出按照出厂时设定的时序启动并输出电源，各路输出启动完成后经过64ms延时放开PWROK下拉，完成整个启动过程。完成启动后可通过serial interface改变各寄存器值。

正常情况下，各路输出使能有效后电源可以很快上电完成，如32ms 内各路电源还没有上电OK，



则表示输出负载异常，PMIC下拉PWROK并自动清除开机信号，等待下一次开机信号触发。

在开机时，芯片可以检测PWROK pin状态来判定上电是否正常。若各路输出使能有效后128ms内PWROK pin都没有被拉高，则表示电源不能正常启动，PMIC自动清除开机信号，等待下一次开机信号触发。在Self-Work Mode下，此功能默认打开。

在开机完成后，PWROK将被外部上拉为高。若PWROK为高电平后再被外部按键或其它原因拉为低，则PMIC判定系统异常、进行Restart。在Self-Work Mode下，PMIC的Restart也可以通过向控制寄存器REG32[6]写1来实现。注意：在Self-Work Mode下进行Restart时，PMIC在各路输出使能有效后6s(不再是128ms)内检测PWROK pin是否被成功的拉到高，如果被拉到高则结束Restart流程，如果不能被拉高则自动关机。(在外部电源异常而拉低PWROK时可以自动关机，设定为6s是为了防止Reset按键时间较长)

注：拉低PWROK进行Restart的功能默认关闭，需通过REG32[4]打开。

在开机状态下，如果

- 1、PWRON按键拉低时间超过OFFLEVEL(由REG36[3]决定该功能是否打开，由REG36[2]决定通过该功能关机后是否自动启动)；或
- 2、向REG32[7]/REG3F[7]写1；或
- 3、ALDOINGOOD从高变为低(即 $ALDOIN < V_{OFF}$ (默认为2.6V)或 $ALDOIN > 5.8V$)；或
- 4、DCDC A/B/C/D/E 输出电压低于设定电压的85%(REG1D[7:3]决定是否打开)；或
- 5、芯片内部过温，超过warning level 2 (125°C，REG32[1]决定是否打开)。



则PMIC启动关机流程以关闭各路输出(各路输出关闭时序由REG32[3]决定), 各路输出关闭后是否进行内部discharge, 取决于REG1F[3]。注意: 上述第1&2种关机源为正常关机, 关机时先下拉PWROK pin, 默认延时4ms后再关闭各路输出(可通过REG1F[2]关闭4ms delay)。上述第3~5种关机源为异常关机, 在关机时先下拉PWROK pin, 延时4ms后再关闭各路电源输出。

在开机状态下, PWRON按键功能如下:

- 1)如果POK脉冲宽度大于内部32ms de-bounce, 且小于IRQLEVEL, 则PMIC将发出POKSIRO;
- 2)如果POK脉冲宽度大于IRQLEVEL, 则PMIC将发出POKLIRQ;
- 3)如果POK脉冲宽度大于16s, 则PMIC强制关机, 关机完成后延时64ms后进行Power on reset并开始检测开机源。(本功能可以通过REG32[0]控制, 默认不打开)

9.4 睡眠与唤醒(Standby & Wakeup)

PMIC有一个GPO pin, 其功能由REG35设定, 可用于Wakeup信号输入/输出。当用于输入时, PMIC在Standby状态下接收到Wakeup信号即唤醒, 内部de-bounce时间设定为1ms; 当用于输出时, PMIC在Standby状态下需要唤醒时, 首先在该pin发出Wakeup信号, 等待1ms后再执行内部唤醒逻辑。

在PMIC开机的情况下, 系统的Standby & Wakeup有以下两种方法:

方法一: CPU少量控制, 主要由PMIC完成

- 1)CPU将REG31_[3]写成1, PMIC保存REG31_[3]被写1前各路输出状态;
- 2)系统保存状态并对PMIC各路输出进行调整;
- 3)在多颗电源IC配合工作时, 可能遇到需要同时关闭不同IC的一些电源的情况。此时处理流程为:



a、分别将各芯片的0x1F[6]写1，并将REG10/11的目标值写入对应的缓冲寄存器；b、使用广播地址将0x3F[6]写1，各电源IC自动将缓冲寄存器里的值导出到REG10/11并清空标志位。(协议详见Serial Interface部分)

4)若

- a、REG31[5]/REG3F[5]被写1(多颗芯片同时唤醒时必须写REG3F[5])；或
- b、POKNIRQ / POKLIRQ (Self-Work Mode，且对应IRQ Enable为高时有效)；或
- c、REG1F[7]=1，IRQ为低并通过16ms de-bounce；或
- d、Wakeup pin接收到高电平/低电平(该pin的功能被配置为Wakeup IN)；

则PMIC把REG10/11恢复到REG31_[3]被写1前的状态，并由REG31_[6]决定是否将各路输出电压恢复到default值。注1：REG31_[3]被写1后有一个8ms的保护期，在此期间内不能被Wakeup。注2：当输出电压恢复到默认值时，注意DCDC-B的默认值是由DCBSET pin及定制情况共同决定的。

5)各路输出恢复完成后REG31_[3]和REG31_[5]/REG3F[5]自动清零。恢复完成后PWROK是否要先drive low再go high，取决于REG31_[7]。

方法二：完全由CPUS控制，与REG31无关

- 1)super standby条件满足后，CPUS先记住要关闭的power及其电压值，然后直接关闭相关power；
- 2)系统进入super standby状态；
- 3)CPUS根据系统状态判断是否wakeup；
- 4)CPUS根据之前的记忆，逐一填写需打开的各路电源voltage register和on-off register；
- 5)PMIC各路输出wakeup；



6) CPU经过足够的延时后，认为power恢复正常，并松开主CPU的reset，系统开始恢复。

新增REG1A[3]，用于控制芯片wakeup时是否打开DCDC A/C/D的DVM功能。当bit3和bit0/1/2同时为1时，在wakeup时对应DCDC具有DVM功能。

9.5 基准、内部电源及中断(VREF&VINT&IRQ)

芯片有一个VINT pin，内置LDO，输出1.8V，给逻辑供电，需外接4.7uF电容。驱动能力>100mA。

芯片有一个IRQ pin，OD输出，一般接在主控的NMI上。当AW1657检测到有按键、过温、欠压等情况，且对应的IRQ enable为1时，将把IRQ pin拉低，以通知主控。当REG1F[7]=1时，IRQ内部提供一个20uA左右的弱上拉，若外部将IRQ拉低并通过AW1657内部的de-bounce则AW1657可以自动开机。

PMIC的VREF可以接受外部输入。当芯片为Master/Self-Work Mode时，使用内部VREF；当芯片为Slave Mode时，使用外部VREF，关闭内部的VREF模块。

9.6 多路转换器输出(DCDCs & LDOs)

AXP155共提供5路同步降压DCDC、10路LDO以及1路Switch输出。DCDC默认使用PFM/PWM自动切换模式，开关频率3MHz，典型情况电感使用1.5uH，输出电容10uF。各路输出电压范围和驱动能力如下表：

Rails	Enable bit	Voltage Register	Output Range	Default Voltage	Max Load
DCDCA	REG10H[0]	REG12H	0.6~1.52V	0.9V	2.5A



DCDCB	REG10H[1]	REG13H	1.0~2.55V	1.2/1.35/1.5V	2.5A
DCDCC	REG10H[2]	REG14H	0.6~1.52V	0.9V	2.5A
DCDCD	REG10H[3]	REG15H	0.6~3.3V	0.9V	1.5A
DCDCE	REG10H[4]	REG16H	1.1~3.4V	1.8V	1.5A
ALDO1	REG10H[5]	REG17H	0.7~3.3V	3.0V	0.3A
ALDO2	REG10H[6]	REG18H	0.7~3.3V	OFF	0.3A
ALDO3	REG10H[7]	REG19H	0.7~3.3V	OFF	0.3A
BLDO1	REG11H[0]	REG20H	0.7~1.9V	1.8V	0.4A
BLDO2	REG11H[1]	REG21H	0.7~1.9V	1.8V	0.3A
BLDO3	REG11H[2]	REG22H	0.7~1.9V	OFF	0.2A
BLDO4	REG11H[3]	REG23H	0.7~1.9V	OFF	0.2A
CLDO1	REG11H[4]	REG24H	0.7~3.3V	OFF	0.4A
CLDO2	REG11H[5]	REG25H	0.7~4.2V	OFF	0.3A
CLDO3	REG11H[6]	REG26H	0.7~3.3V	OFF	0.2A
Switch	REG11H[7]	/	/	OFF	/

DCDC A&B支持Dual-Phase模式，最大负载能力5A。DCDC A&B&C支持Tri-Phase模式，最大负载能力7.5A。PMIC在开机时检测PHSET pin状态并保存到REG1B[7:6]，开机完成后可通过Serial Interface改变REG1B[7]的值，从而改变工作模式。

PHSET pin状态	GND	VINT	floating
A/B/C工作模式	A/B/C独立工作	A&B Poly-Phase	A&B&C Poly-Phase
REG1B[7:6]对应值	00	01	10

DCDC D&E也支持Dual-Phase模式，最大负载能力3A。可定制该功能默认是否打开，由REG1B[5]控制是否打开。

注意：当打开poly-phase功能时，要改变其输出状态，只需要改变DCDCA或DCDCD的对应控制寄存器即可。

DCDC A/C/D都具有DVM功能，可以由REG1A控制输出目标电压变化时，输出电压变化的斜率。DCDC A/B/C内部限流值可由REG1C[5:4]设置为3.3A/3A/2.7A。

PMIC的DCDCA、FBGND两个pin为DCDC A的反馈，用于设定其输出电压。应用方案上将DCDCA pin 连接到负载点，将FBGND pin连接到负载的接地点，可以对PCB走线及bonding线的内阻进行补偿，使负载两端的电压为准确的设定值。开机时芯片通过判断FBGND是否接到地来决定是否开启补偿，不需要进行补偿时将FBGND floating即可。

所有DCDC和LDO都有限流保护功能，当负载电流大于限流值后输出电压将会下降。PMIC的monitor 将实时监控DCDC A/B/C/D/E的输出电压，当输出电压低于目标电压一定比例后将使芯片启动关机流程(是否关机取决于对应的寄存器REG1D)。

DCDC电感自动检测功能：启动时如果PMIC检测到某路DCDC未接电感，则不启动该路DCDC，并屏蔽该路输出的monitor。

芯片有一个DCBSET pin，用于设定DCDC-B默认输出电压。DCBSET接VINT时默认输出1.5V，DCBSET接GND时默认输出1.2V，DCBSET floating时默认输出电压可定制，在芯片出厂时设定。

DCBSET	GND	VINT	floating
DCDCB默认电压	1.2V	1.5V	可定制，默认为1.35V



9.7. 串行通信接口(Serial interface)

TWSI, 从机地址0x6C/0x6D、0x6E/0x6F(可定制使用的地址)。

当有多颗AXP155配合工作时, 通信协议有以下要点:

- 1)多个电源IC使用同一个通信地址, 如0x6C/0x6D, 并挂在同一条总线上。
- 2)新增寄存器0xFE的高4位为芯片的地址扩展位(其值可定制并由MODESET决定, 多余的bit直接为0)。多颗芯片的地址扩展位不同。
- 3)当0xFF与0xFE的高4位相等时, 芯片响应、可以进行读写, 否则芯片不响应。
- 4)0xFF比较特殊, 不管0xFF与0xFE是否匹配, 只要通信地址正确就可以对0xFF进行写操作。但进行0xFF读操作时, 只有0xFF与0xFE匹配的芯片才响应。
- 5)通信时先对0xFF的高4位写入目标通信芯片的0xFE的值。
- 6)对0xFF的高4位写不同的值, 可以在总线上不同的芯片之间切换通信。
- 7)若0xFF高4位被写为全1时(广播地址), 不管0xFE的值是什么, 所有芯片都响应, 可以一次性对所有芯片进行写操作(不能读)。

注意: 实际应用中此广播地址一般只在不同芯片需要协同时使用, 只对已约定的特殊寄存器(如0x3F)进行写操作。

- 8)以上更改不需对协议主机操作方式进行更改, 还是可以使用现有的TWSI主机。在将地址扩展寄存器0xFE高4位设置为0x0时(master/self-work mode) 通信过程与原有的协议完全相同 不需对0xFF的高4位进行设置。



10. 寄存器

10.1 寄存器列表

ADDR	Description	R/W	Default
REG00	Startup Source	R	XXH
REG03	Chip ID	R	1
REG04-07	4 data buffers	RW	00H
REG10	on-off ctrl 1	RW	XXH
REG11	on-off ctrl 2	RW	XXH
REG12	DCDC-A Voltage control	RW	XXH
REG13	DCDC-B Voltage control	RW	XXH
REG14	DCDC-C Voltage control	RW	XXH
REG15	DCDC-D Voltage control	RW	XXH
REG16	DCDC-E Voltage control	RW	XXH
REG17	ALDO1 voltage control	RW	XXH
REG18	ALDO2 voltage control	RW	00H
REG19	ALDO3 voltage control	RW	00H
REG1A	DCDC mode control1	RW	00H
REG1B	DCDC mode control2	RW	X0H
REG1C	DCDC frequency setting	RW	08H
REG1D	output monitor control	RW	FDH
REG1F	IRQ & PWROK & Off discharge setting	RW	0XH
REG20	BLDO1 voltage control	RW	XXH
REG21	BLDO2 voltage control	RW	XXH
REG22	BLDO3 voltage control	RW	00H
REG23	BLDO4 voltage control	RW	00H
REG24	CLDO1 voltage control	RW	XXH
REG25	CLDO2 voltage control	RW	00H
REG26	CLDO3 voltage control	RW	00H
REG31	power wakeup ctrl & VOFF setting	RW	00H
REG32	power disable & power down sequence	RW	X6H
REG35	Wakeup pin function setting	RW	00H
REG36	POK setting	RW	59H
REG3F	Special control register	RW	00H

REG40	IRQ Enable1	RW	03H
REG41	IRQ Enable2	RW	03H
REG48	IRQ Status1	RW	00H
REG49	IRQ Status2	RW	00H
REGF3	VREF & Temperature warning level setting	RW	01H
REGFE	Serial Interface address extension	RW	00H
REGXFF	register address extension	RW	00H

寄存器有两种reset信号：

System reset：表示该寄存器或寄存器bit在开机时reset；

Power on reset：表示该寄存器或寄存器bit在芯片上电时reset。

10.2 寄存器描述

REG 00 : Startup source

Reset : system reset

Bit	Description	R/W
7-6	Chip Mode 00 : Slave 11 : Master 10 : Self-Work 01 : Reserved	R
5	Startup by ALDOINGOOD from L go H when EN is High	R
4	Startup by EN from L go H when ALDOINGOOD is High	R
3	Startup by IRQ pin	R
2	Startup by PWRON Press	R
1	Startup by PWRON Special Sequence	R
0	Startup by ALDOIN from L go H	R

注：1、如果是restart，则没有标志位 2、如果多个开机源同时到达，则都置高

REG 03 : IC type NO.

Bit	Description	R/W
5-4	IC Version NO.	R
7-6 & 3-0	IC Type NO. 010000 : IC is AXP155 Others: Reserved	R

REG 04-07 : 4 Data Buffers

Reset : Power on reset

REG 10 : Output power on-off control 1

Default : xx (根据应用确定)



Reset : system reset

Bit	Description	R/W	Default
7	ALDO3 on-off control	RW	0
6	ALDO2 on-off control	RW	0
5	ALDO1 on-off control	RW	x
4	DCDC-E on-off control	RW	x
3	DCDC-D on-off control	RW	x
2	DCDC-C on-off control	RW	x
1	DCDC-B on-off control	RW	x
0	DCDC-A on-off control	RW	x

注 :芯片内部设计了REG10的缓冲寄存器。当REG1F[6]=0时 ,对0x10H的寻址指向REG10 ;当REG1F[6]被写1时, 将REG10的值导出到其缓冲寄存器, 对0x10H的寻址被指向缓冲寄存器而REG10的值不变 ;当REG3F[6]被写为1时, 将缓冲寄存器中的值导出到REG10, 完成后自动将REG1F[6]、REG3F[6]置0, 对0x10H的寻址指向REG10。

REG 11 : Output power on-off control 2

Default : xx (根据应用确定)

Reset : system reset

Bit	Description	R/W	Default
7	SW on-off control	RW	0
6	CLDO3 on-off control	RW	0
5	CLDO2 on-off control	RW	0
4	CLDO1 on-off control	RW	x
3	BLDO4 on-off control	RW	0
2	BLDO3 on-off control	RW	0
1	BLDO2 on-off control	RW	x
0	BLDO1 on-off control	RW	x

注 :芯片内部设计了REG11的缓冲寄存器。当REG1F[6]=0时 ,对0x11H的寻址指向REG11 ;当REG1F[6]被写1时, 将REG11的值导出到其缓冲寄存器, 对0x11H的寻址被指向缓冲寄存器而REG11的值不



变；当REG3F[6]被写为1时，将缓冲寄存器中的值导出到REG11，完成后自动将REG1F[6]、REG3F[6]置0，对0x11H的寻址指向REG11。

REG 12 : DCDC-A voltage control

Default : xx (根据应用确定)

Reset : system reset

Bit	Description	R/W	Default
7	Reserved	RW	0
6-0	DCDC-A voltage setting bit5-0: 0.6~1.1V , 10mV/step , 51steps 1.12~1.52V , 20mV/step , 21steps	RW	xx

REG 13 : DCDC-B voltage control

Default : xx (根据应用确定)

Reset : system reset

Bit	Description	R/W	Default
7-5	Reserved	RW	000
4-0	DCDC-B voltage setting bit4-0: 1.0~2.55V , 50mV/step , 32steps	RW	xx

注意：1、Default值根据应用由DCBSET决定；

2、DCBSET接VINT时默认输出1.5V，DCBSET接GND时默认输出1.2V，DCBSET floating时默认输出电压可定制；

3、定制范围1.05V~2.55V.



REG 14 : DCDC-C voltage control

Default : xx (根据应用确定)

Reset : system reset

Bit	Description	R/W	Default
7	Reserved	RW	0
6-0	DCDC-C voltage setting bit6-0: 0.6~1.1V , 10mV/step , 51steps 1.12~1.52V , 20mV/step , 21steps	RW	xx

REG 15 : DCDC-D voltage control

Default : xx (根据应用确定)

Reset : system reset

Bit	Description	R/W	Default
7-6	Reserved	RW	00
5-0	DCDC-D voltage setting bit5-0: 0.6~1.5V , 20mV/step , 46steps 1.6~3.3V , 100mV/step , 18steps	RW	xx

REG 16 : DCDC-E voltage control

Default : xx (根据应用确定)

Reset : system reset

Bit	Description	R/W	Default
7-5	Reserved	RW	000
4-0	DCDC-E voltage setting bit4-0: 1.1~3.4V , 100mV/step , 24steps	RW	xx



REG 17 : ALDO1 voltage control

Default : xx (根据应用确定)

Reset : system reset

Bit	Description	R/W	Default
7-5	Reserved	RW	000
4-0	ALDO1 voltage setting bit4-0: 0.7~3.3V , 100mV/step , 27steps	RW	xx

REG 18 : ALDO2 voltage control

Default : 0000 0000

Reset : system reset

Bit	Description	R/W	Default
7-5	Reserved	RW	000
4-0	ALDO2 voltage setting bit4-0: 0.7~3.4V , 100mV/step , 27steps	RW	0 0000

REG 19 : ALDO3 voltage control

Default : 0000 0000

Reset : system reset

Bit	Description	R/W	Default
7-5	Reserved	RW	000
4-0	ALDO3 voltage setting bit4-0: 0.7~3.3V , 100mV/step , 27steps	RW	0 0000



REG 1A : DCDC mode control 1

Default : 0000 0000

Reset : system reset

Bit	Description		R/W	Default
7	Reserved		RW	0
6	DCDC-D DVM voltage ramp control	0 : 1step/15.625us 1 : 1step/31.250us	RW	0
5	DCDC-C DVM voltage ramp control		RW	0
4	DCDC-A DVM voltage ramp control		RW	0
3	DVM on-off control when wakeup	0 : disable 1 : enable	RW	0
2	DCDC-D DVM on-off control	0 : disable 1 : enable	RW	0
1	DCDC-C DVM on-off control		RW	0
0	DCDC-A DVM on-off control		RW	0

REG 1B : DCDC mode control 2

Default : x0

Reset : system reset

Bit	Description		R/W	Default
7-6	DCDC A&B&C poly-phase control	00 : no poly-phase 01 : A&B Dual-phase 10 : A&B&C Tri-phase 11 : no poly-phase	RW	PHSET
5	DCDC D&E poly-phase control	0 : no poly-phase ; 1 : poly-phase	RW	x
4	DCDC-E PFM/PWM control	0 : auto switch	RW	0
3	DCDC-D PFM/PWM control		RW	0



2	DCDC-C PFM/PWM control	1 : always PWM	RW	0
1	DCDC-B PFM/PWM control		RW	0
0	DCDC-A PFM/PWM control		RW	0

注意 芯片启动时将PHSET的状态导入到bit[7:6] 然后bit[7:6]交由串行通信接口控制.bit[5]的default根据应用确定.

REG 1C : DCDC frequency setting

Default : 0000 1000

Reset : system reset

Bit	Description	R/W	Default
7	DCDC frequency spread enable 0 : disable ; 1 : enable	RW	0
6	DCDC frequency spread range control 0 : 50KHz ; 1 : 100KHz	RW	0
5-4	DCDC A/B/C内部限流设置 00 : 3A 01 : 3A 10 : 3.3A 11 : 2.7A	RW	0
3-0	DCDC frequency setting bit3-0 , change 5% per step	RW	1000

REG 1D : Output monitor control

Default : 1111 1101

Reset : Power on reset

Bit	Description	R/W	Default
7	DCDC-E 85% low voltage turn off PMIC function 0 : disable ; 1 : enable	RW	1
6	DCDC-D 85% low voltage turn off PMIC function	RW	1



	0 : disable ; 1 : enable		
5	DCDC-C 85% low voltage turn off PMIC function 0 : disable ; 1 : enable	RW	1
4	DCDC-B 85% low voltage turn off PMIC function 0 : disable ; 1 : enable	RW	1
3	DCDC-A 85% low voltage turn off PMIC function 0 : disable ; 1 : enable	RW	1
2	Reserved	RW	1
1-0	DCDC A/B/C output voltage monitor de-bounce time setting 00-62us ; 01-124us ; 10-186us ; 11-248us	RW	01

REG 1F : IRQ & PWROK& Off discharge setting

Default : 0000 1xxx , Mode表示根据芯片工作模式确定

Reset : Power on reset , bit6为System reset

Bit	Description	R/W	Default
7	IRQ pin turn on or wakeup AW1657 function enable when IC is Self-Work Mode ; IRQ pin wakeup AW1657 function enable when IC is Master/Slave Mode. 0 : disable ; 1 : enable	RW	0
6	寄存器地址0x10/11目标寄存器控制 0 : REG10/11 1 : REG10/11对应的缓冲寄存器 以下两种情况也要将本bit清零： a、发生Wakeup，不需将缓冲寄存器导出到REG10/11即清零 b、3F[6]写1，将缓冲寄存器导出到REG10/11后再清零	RW	0
5	Reserved	RW	0
4	Reserved	RW	0
3	Internal off-discharge for DCDC&LDO	RW	1



	0 : disable ; 1 : enable		
2	PMIC正常关机的4ms delay enable 0 : disable 1 : enable Default : Master/Slave Mode : 0 Self-Work Mode : 1 Note : 在slave mode指内部关机信号与关闭各路输出之间的delay , 在master/self-work mode指拉低PWROK与关闭各路输出之间的delay。	RW	Mode
1-0	Delay time between PWROK signal and power good time 00 : 8ms ; 01 : 16ms ; 10 : 32ms ; 11 : 64ms Default : Slave Mode : 10 Master/Self-Work Mode : 11	RW	Mode

REG 20 : BLDO1 voltage control

Default : 0x (根据应用确定)

Reset : system reset

Bit	Description	R/W	Default
7-4	Reserved	RW	0000
3-0	BLDO1 voltage setting bit4-0: 0.7~1.9V , 100mV/step , 13steps	RW	x

REG 21 : BLDO2 voltage control

Default : 0x (根据应用确定)



Reset : system reset

Bit	Description	R/W	Default
7-4	Reserved	RW	0000
3-0	BLDO2 voltage setting bit3-0: 0.7~1.9V , 100mV/step , 13steps	RW	x

REG 22 : BLDO3 voltage control

Default : 0000 0000

Reset : system reset

Bit	Description	R/W	Default
7-4	Reserved	RW	0000
3-0	BLDO3 voltage setting bit3-0: 0.7~1.9V , 100mV/step , 13steps	RW	0000

REG 23 : BLDO4 voltage control

Default : 0000 0000

Reset : system reset

Bit	Description	R/W	Default
7-4	Reserved	RW	0000
3-0	BLDO4 voltage setting bit3-0: 0.7~1.9V , 100mV/step , 13steps	RW	0000

REG 24 : CLDO1 voltage control

Default : xx (根据应用确定)

Reset : system reset

Bit	Description	R/W	Default
-----	-------------	-----	---------



7-5	Reserved	RW	000
4-0	CLDO1 voltage setting bit4-0: 0.7~3.3V , 100mV/step , 27steps	RW	xx

REG 25 : CLDO2 voltage control

Default : 0000 0000

Reset : system reset

Bit	Description	R/W	Default
7-5	Reserved	RW	000
4-0	CLDO2 voltage setting bit4-0: 0.7~3.4V , 100mV/step , 28steps 3.6~4.2V , 200mV/step , 4steps	RW	0 0000

REG 26 : CLDO3 voltage control

Default : 0000 0000

Reset : system reset

Bit	Description	R/W	Default
7-5	Reserved	RW	000
4-0	CLDO3 voltage setting bit4-0: 0.7~3.3V , 100mV/step , 27steps	RW	0 0000

EG 31 : Power wakeup ctrl & VOFF setting

Default : 0000 0000

Reset : bit[3] is System reset , the others is Power on reset



Bit	Description	R/W	Default
7	PWROK drive low or not when Power wake up and REG31[3]=1 0 : not drive low ; 1 : drive low in wake up period	RW	0
6	Voltage recovery control when AW1657 wakeup (仅对默认值可定制的输出有效) 0 : recovery to the default 1 : 维持不变	RW	0
5	Soft Power wakeup ,write 1 to this bit ,the output power will be wake up , and this bit will clear itself	RW	0
4	Control bit for IRQ output and wake up trigger when reg31[3] is 1 0 : IRQ pin is masked and IRQ can wake up aw1657 1 : IRQ pin is normal and IRQ cannot wake up aw1657	RW	0
3	Enable bit for the function that output power be waked up by REG31_[5]、POKNIRQ、POKLIRQ、 or IRQ pin is Low.	RW	0
2-0	V _{OFF} setting bit2-0: 2.6~3.3V , 0.1V/step , 8steps	RW	000

REG 32 : Power disable & Power down sequence

Default : 00x0 0110 , Mode表示根据芯片工作模式确定

Reset : bit [7:6] is System reset , the others is Power on reset

Bit	Description	R/W	Default
7	Power disable control. Write 1 to this bit will power off the PMIC , and this bit will clear itself	RW	0
6	Host restart the PMIC and clear itself	RW	0
5	启动时监控PWROK pin状态 , 判断上电是否正常。 0 : disable 1 : enable	RW	Mode



	Default : Master/Slave Mode : 0 Self-Work Mode : 1		
4	Enable for restart the PMIC by PWROK drive low when IC is Self-Work Mode 0 : disable 1 : enable	RW	0
3	Output power down sequence control 0 : at the same time 1 : the reverse of the start up sequence	RW	0
2	Die temperature detect enable 0 : disable 1: enable	RW	1
1	The PMIC shut down or not when die temperature is over the warning level 2 (125°C) 0 : not shutdown ; 1: shutdown	RW	1
0	Enable for 16s POK shut the PMIC 0 : disable 1 : enable	RW	0

REG 35 : Wakeup pin function setting

Default : 0000 0000

Reset : System reset

Bit	Description	R/W	Default
7-4	Reserved	RW	0000
3	Wakeup 有效信号 0 : 低电平 1 : 高电平	RW	0
2-0	Wakeup pin function setting bit[2:0] 000 : Wakeup IN 001 : Wakeup OUT	RW	000



	010 : drive low		
	011 : drive high(VINT)		
	1xx : floating		

REG 36 : POK setting

Default : 0101 1001

Reset : bit3 is System reset , the others is Power on reset

Bit	Description	R/W	Default
7-6	ONLEVEL setting 1-0 00 : 128ms ; 01 : 1s ; 10 : 2s ; 11 : 3s	RW	01
5-4	IRQLEVEL setting 1-0 00 : 1s ; 01 : 1.5s ; 10 : 2s ; 11 : 2.5s	RW	01
3	Enable bit for the function which will shut down the PMIC when POK is larger than OFFLEVEL 0 : disable 1 : enable	RW	1
2	The PMIC auto turn on or not when it shut down after OFFLEVEL POK 0 : not turn on 1 : auto turn on	RW	0
1-0	OFFLEVEL setting 1-0 00 : 4s ; 01 : 6s ; 10 : 8s ; 11 : 10s	RW	01

REG 3F : Special control register

Default : 0000 0000

Reset : System on reset

Bit	Description	R/W	Default
7	Power disable control. Write 1 to this bit will power off the PMIC , and this bit will clear itself(功能与REG32[7]相同，一般用于控制多颗芯片同时关闭)	RW	0
6	写1后，将缓冲寄存器里的值导出到REG10/11。导出完成后自动清空，同时将REG1F[6]置为0。	RW	0
5	Soft Power Wakeup , write 1 to this bit , the output power will be wake up , and this bit will clear itself(功能与REG31[5]相同，一般用于控制多颗芯片同时Wakeup)	RW	0
4-0	Reserved	RW	0 0000

REG 40 : IRQ Enable1

Default : 0000 0011

Reset : System reset

Bit	Description	R/W	Default
7	Voltage of DCDC-E is under 85% of setting IRQ enable	RW	0
6	Voltage of DCDC-D is under 85% of setting IRQ enable	RW	0
5	Voltage of DCDC-C is under 85% of setting IRQ enable	RW	0
4	Voltage of DCDC-B is under 85% of setting IRQ enable	RW	0



3	Voltage of DCDC-A is under 85% of setting IRQ enable	RW	0
2	Reserved	RW	0
1	Die temperature is over the warning level 2 IRQ enable	RW	1
0	Die temperature is over the warning level 1 IRQ enable	RW	1

REG 41 : IRQ Enable2

Default : 0000 0011

Reset : System reset

Bit	Description	R/W	Default
7	Reserved	RW	0
6	POKPIRQ enable	RW	0
5	POKNIRQ enable	RW	0
4	Wakeup source enable in wakeup pin when it's wakeup IN	RW	1
3-2	Reserved	RW	00
1	POKSIRQ enable	RW	1
0	POKLIRQ enable	RW	1

REG 48 : IRQ Status1

Default : 0000 0000

Reset : System reset (由REGF2[7]控制复位信号)

Bit	Description	R/W	Default
7	Voltage of DCDC-E is under 85% of setting , write 1 to this bit or the output rise to normal will clear it	RW	0
6	Voltage of DCDC-D is under 85% of setting , write 1 to this bit or the output rise to normal will clear it	RW	0
5	Voltage of DCDC-C is under 85% of setting , write 1 to this bit or the output rise to normal will clear it	RW	0
4	Voltage of DCDC-B is under 85% of setting , write 1 to this bit or the output rise to normal will clear it	RW	0



3	Voltage of DCDC-A is under 85% of setting , write 1 to this bit or the output rise to normal will clear it	RW	0
2	Reserved	RW	00
1	Die temperature is over the warning level 2 Write 1 to it or temperature drop to level 2 will clear it	RW	0
0	Die temperature is over the warning level 1 Write 1 to it or temperature drop to level 1 will clear it	RW	0

REG 49 : IRQ Status2

Default : 0000 0000

Reset : System reset

Bit	Description	R/W	Default
7	Reserved	RW	0
6	POKPIRQ,write 1 to it will clear it	RW	0
5	POKNIRQ,write 1 to it will clear it	RW	0
4	Wakeup pin检测到唤醒源, 写1清空	RW	0
3-2	Reserved	RW	00
1	POKSIRQ,write 1 to it will clear it	RW	0
0	POKLIRQ,write 1 to it will clear it	RW	0

REG F3 : VREF & Temperature warning level setting

Default : 0000 0001

Reset : Bit4 system reset, other power on reset

Bit	Description	R/W	Default
7	Control VREF power-saving or not when the PMIC is on 0 : not saving 1 : auto saving	RW	0
6-5	VREF power-saving cycle set 00 : 16ms 01 : 32ms 10 : 48ms 11 : 64ms	RW	00
4	VREF output resister control for voltage sense	RW	0



	0 : 20K ; 1 : <1K		
3-2	Reserved	RW	00
1-0	Temperature warning level 1 & level 2 setting 01 : 对应level 1 = 125°C , level 2 = 135°C 每步调节10°C , level 1&2 联动(固定差10°C)	RW	01

REG FE : Serial Interface address extension

Default : XXXX 0000

Bit	Description	R/W
7	地址扩展bit3:0 (不能设置为全1)	R
6		R
5		R
4	Bit3:2 = 00 Bit1可定制 , default是0 MODESET=VINT/Floating(master/self-work mode) : bit0=0 MODESET=GND(slave mode) : bit0=1	R
3-0	Not design	

REG FF : register address extension

Default : XXXX 0000

Reset : system reset

Bit	Description	R/W	Default
7-4	扩展地址动态值。与0xFE[7:4]相同时才能对芯片读写	RW	0000
3-0	Register address extension bit , map to the bit[11:8] of the address	RW	0000

注意：不管高位是什么值，只要低8位地址是FF，该register就要响应。



Confidential



11. 封装图

AXP155使用QFN7*7 56pin封装，pitch为0.4mm，详细参数如下图。

